

A Memória

Introdução

Num microcontrolador convencional é usual encontrar três blocos de memória para fins distintos. Existe a memória interna que é principalmente usada para gestão de stack e/ou para guardar valores. Esta memória, designada neste documento por IRAM (Internal RAM) está limitada nos 8051's standard ao espaço de endereçamento possível pelo número de linhas do barramento de dados ou seja 256 bytes (2^8). Nesta implementação esta restrição mantém-se, ou seja, o tamanho máximo do bloco de memória interna é dado por 2^N .

Na memória externa encontramos os restantes dois blocos, separados pelo seu fim: memória de programa e memória de dados. A separação entre estas duas memórias é feita através do uso de um sinal externo (PSEN) que faz a selecção entre RAM e ROM. Nesta implementação também se considera o caso de poderemos ter no exterior apenas um chip (RAM), facto o qual apresenta o problema de separação de espaço de memória de programa com dados. Considerando a tecnologia alvo da implementação e o seu modo dinâmico de configuração seria facilmente implementável uma solução que contempla a separação dos endereços. Tal acarreta um atraso correspondente à adição do ponto de separação das memórias com o endereço pretendido. Por estes motivos não foi implementada esta funcionalidade nesta versão desta ferramenta, deixando no entanto essa possibilidade em aberto.

A funcionalidade principal do "gerador de Automático dos blocos de RAM/ROM" é de fazer o mapeamento entre os endereços e a memória fisicamente disponível e a geração de sinais de controlo. Esta implementação assume que a memória externa é tão, ou mais rápida que o processador. A implicação deste facto cinge-se à não existência de rotinas de espera por memórias que são lentas comparativamente com o microcontrolador. Para maior detalhe, consulte a especificação temporal da memória.

A IRAM

(Gerador Automático do blocos de IRAM)

Introdução

A IRAM é a unidade de memória interna, responsável pelo endereçamento dos registos internos (SFR's) com a posição de memória, definida numa tabela de conversão . Contém também array's de registos (memórias de um bit) no qual é emulada a memória interna.



D. Diagrama da memória interna

Com esta implementação pertence-se emular um microcontrolador e uma das funcionalidades com a qual mais facilmente se identifica um microcontrolador em relação a um microprocessador, reside no suporte em hardware para executar endereçamentos ao bit. Para esta funcionalidade ser implementada, tem de existir suporte para o endereçamento ao bit na memória interna. Assim sendo, este bloco

tem de ter um descodificador de endereços, que distinga endereçamento ao bit e endereçamento à palavra.

8 BYTES

F8								FF
F0	B							F7
E8								EF
E0	ACC							E7
D8								DF
D0	PSW							D7
C8								CF
C0								C7
B8	IP							BF
B0	P3							B7
A8	IE							AF
A0	P2							A7
98	SCON	SBUF						9F
90	P1							97
88	TCON	TMOD	TL0	TL1	TH0	TH1		8F
80	P0	SP	DPL	DPH				PCON

↑ BIT ADDRESSABLE

F. Mapeamento da memória num 8051 convencional

Deste mapa podemos retirar a informação sobre a posição dos registos originais e saber também a posição das palavras que são endereçáveis ao bit (coluna da esquerda). Da informação fornecida pela Intel® e de outros fabricantes também pode-se afirmar que todos os endereços livres não têm implementação física.

Do mapa da memória "baixa" de um 8051 observa-se que é um espaço de memória de 128 bytes que está segmentado em três blocos, sendo o primeiro um segmento de registos R0-R7 (0-1Fh), o segundo um segmento endereçável ao bit (20h-2Fh) e o espaço restante como memória livre (usada principalmente para memória de stack).

A existência dos blocos de memórias disponíveis são parametrizáveis pelo utilizador bem como a sua localização no espaço de endereçamento e o seu tamanho.

Quanto às portas (P0..Pn), temporizador e porta série estas funções serão tratadas como *módulos*, estrutura a qual foi definida na introdução a este projecto.

Implementação

Devido à sua natureza, foi implementado num circuito combinacional síncrono tendo como parâmetros o endereço, os sinais de controlo básicos (RD,WR), indicação que o endereço corresponde a um bit e as ligações ao barramento de dados. No design foi incluída memória para o endereço actual pelo que numa instrução "INC R0" não é necessário enviar duas vezes o endereço de "R0" (uma para leitura e uma para escrita).

Para a implementação da memória interna "alta" foram cumpridos os requerimentos de posição e endereçamento ao bit conforme a implementação original¹. Para além disso também existe saídas directas para o registo acumulador e PSW que terão existência física neste bloco e no bloco "top level" para se conseguir implementar a arquitectura proposta. O sistema de controlo para redução de consumo não foi implementado o que implica que o registo PCON não existe nos microcontroladores gerados. Também é dado ao utilizador a possibilidade de remover o suporte de endereçamento ao bit.

Para a implementação da memória "baixa" não será considerado a capacidade de endereçamento ao bit dessa memória, sendo apenas considerada como memória de carácter generalista.

¹ Convém referir que a definição de "implementação original" pressupõe um barramento de dados com 8 bits. Caso este número seja alterado poderá haver a necessidade de mudar o

endereço dos registos definidos neste módulo devido à possibilidade de se querer aumentar o espaço de memória RAM disponível para programa (memória "baixa"). Esta alteração terá impacto nos programas que façam endereçamento directo a estes registos, podendo perder assim compatibilidade ao nível do *assembly* com o 8051.

De notar também que caso seja alterado o tamanho da memória será aconselhado fazer uso dos blocos de RAM (templates RAMB*) da Xilinx® por fazerem melhor uso das capacidades da FPGA e por diminuir o tempo de síntese e implementação.

Reset

Os valores de reset são definidos para os todos os registos na tabela que se segue:

REGISTER	RESET VALUE
PC	000H
ACC	00H
B	00H
PSW	00H
SP	07H
DPTR	0000H
P0-P3	FFH
IP	XXX00000B
IE	0XX00000B
TMOD	00H
TCON	00H
TH0	00H
TL0	00H
TH1	00H
TL1	00H
SCON	00H
SBUF	Indeterminate
PCON (NMOS)	0XXXXXXXB
PCON (CMOS)	0XXX0000B

Estes valores são também definíveis pelo utilizador por parametrização da ferramenta de geração com valor pretendido de reset para um dado registo.

Waveforms

O comportamento pretendido para o bloco de memória interna é o que se segue:

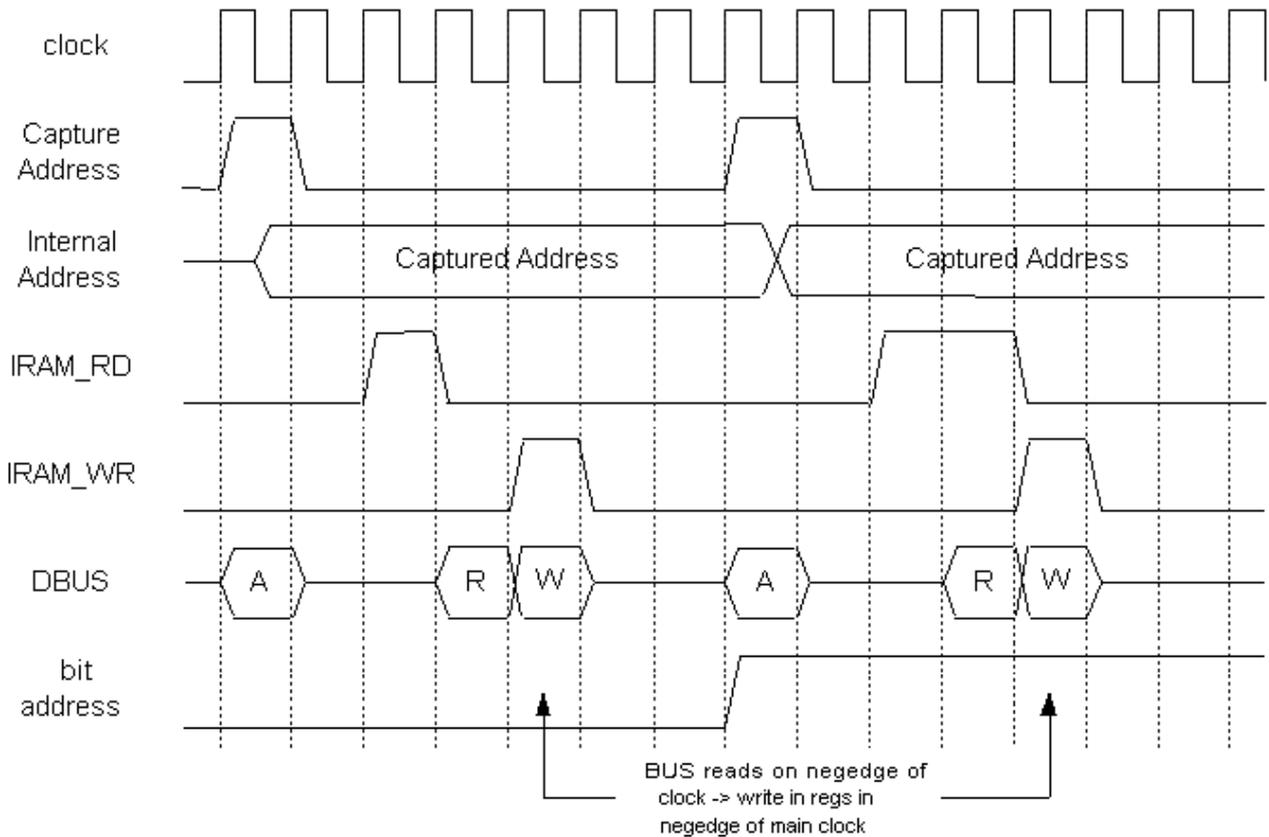


FIG. Waveform para a IRAM

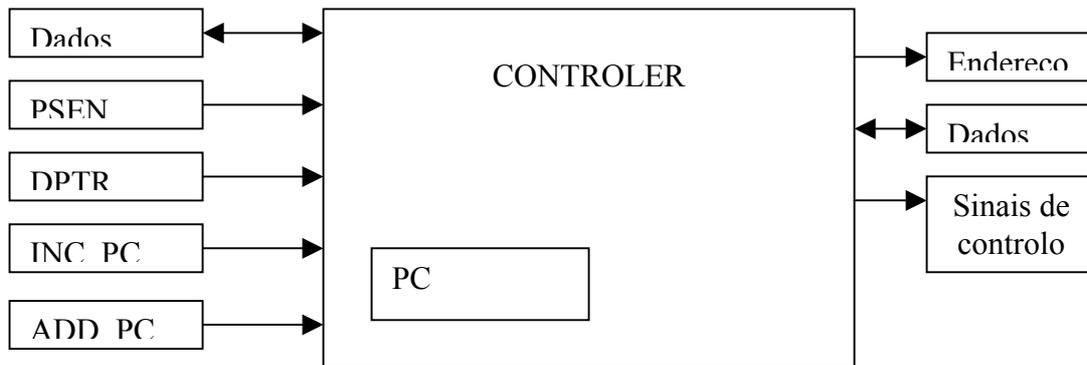
De notar que nos pontos correspondentes a "Data Read" e "Data Write" a máquina de estados que supervisiona a execução da operação (na Unidade de Controlo) tem de garantir que a entrada do bloco de IRAM tem dados válidos, endereço válido ou o que o barramento de saída está livre (FREE - em alta impedância ou estado 'Z' em Verilog). Para a leitura ou escrita para bit ou palavra inteira é assumido que o atraso é similar, ou seja os gráficos são idênticos independentemente do estado do sinal "iram_bit_addr".

A XRAM

(Gerador Automático do blocos de XRAM)

Introdução

O bloco XRAM (eXternal RAM) é responsável pela interacção com a memória externa e outros dispositivos que poderão ser ligados de uma forma "convencional" a esta implementação do 8051. Para tal, como num dispositivo 8051 convencional existem para o exterior os sinais de controlo RD, WR e PSEN e os barramentos de dados e endereços.



D. Diagrama do controlador de XRAM

Neste bloco também estão incluídas as rotinas para incremento do *program counter* (PC), soma com um offset e carregamento com um valor exterior.

O tamanho do barramento de endereços externo é configurável pelo utilizador, embora a alteração deste valor para excesso de

2xN não esteja contemplada, por tal implicar uma remodelação da "Unidade de Controlo" que não é automática. A alteração seria, por exemplo, aumentar a máquina de estados de controlo das operações (enviar o byte extra) que usem directamente este barramento (ACALL,MOVX,...) , no caso do barramento de dados ser de 8 bits e o tamanho do barramento de endereços pretendido de 24 bits.

Implementação

O sinal ALE não foi implementado. Considerando uma perspectiva histórica pode-se verificar que no momento de comercialização dos primeiros 8051's os custos de packaging era maiores que neste momento ao ponto que a utilização deste sinal foi um subterfúgio necessário, usado pelos primeiros fabricantes dos 8051's para reduzir custos. Neste momento, a mais pequena das FPGA's tem pinos em abundância facto o qual torna a multiplexagem do barramento de endereço com o barramento de dados desnecessária.

O bloco de processamento do *program counter* também foi aqui incluído com o intuito de diminuir o tempo de procura das instruções na memória externa. Para a implementação de todas as instruções do 8051 foram adicionados as sinais de controlo os sinais PC_LD_10,PC_LD_16 e PC_ADD. O sinais de PC_LD_10,PC_LD_16 e PC_ADD servem para implementar os saltos absoluto, longo e relativo. Um sinal "rd_address" também foi incluído para implementar as instruções MOVC. De notar, que conforme está referido no código, o somador que executa o incremento do "program counter" é partilhado com a ordem PC_ADD. Estas micro operações não poderão ser, em caso algum emitidas ao mesmo tempo pela unidade de controlo. Como penalidade de existir um somador partilhado, o tempo de execução de um incremento do PC ou um salto relativo é no mínimo de 3 ciclos de relógio. A unidade de controlo deve acautelar esta exigência.

WaveForm

O funcionamento previsto para a gestão do PC e para a leitura da memória de programa é o seguinte:

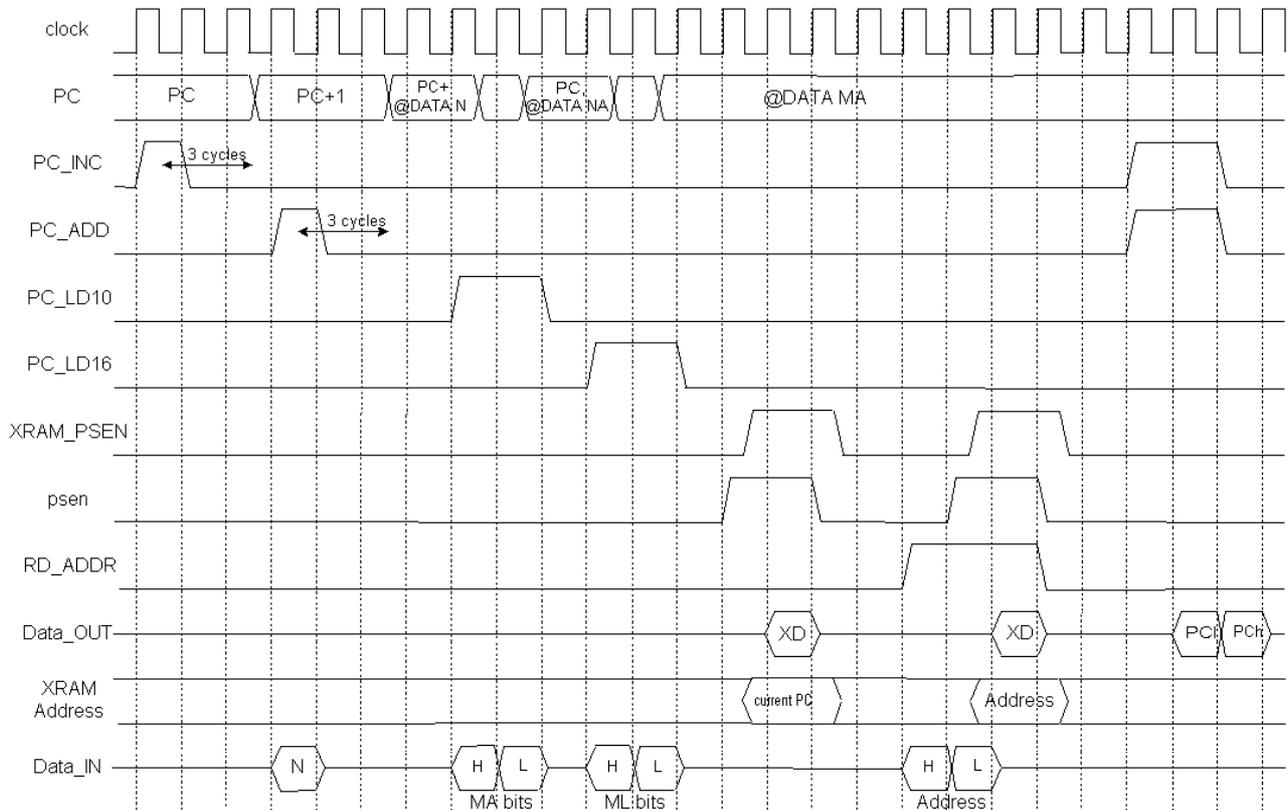


FIG. Waveform para o sistema de gestão do PC

Para retirarmos o valor do PC para o exterior (por exemplo para uma instrução PUSH) é enviado um impulso em dois sinais de controlo e após a sua detecção é enviado a palavra menos significativa (PCl) seguida da palavra mais significativa (PCh) do PC. Conforme já referido o somador que implementa a função "pc_add" e "pc_inc" (adicionar ao program counter um valor de 8 bits ou um) é partilhado e os tempos referidos no gráfico têm de ser cumpridos para correcta execução.

De notar que apenas os sinais ou valores com prefixo "XRAM" estão ligados fisicamente ao exterior.

Para o funcionamento do acesso à memória externa conforme pretendido, as especificações ou formas de onda deverão ser:

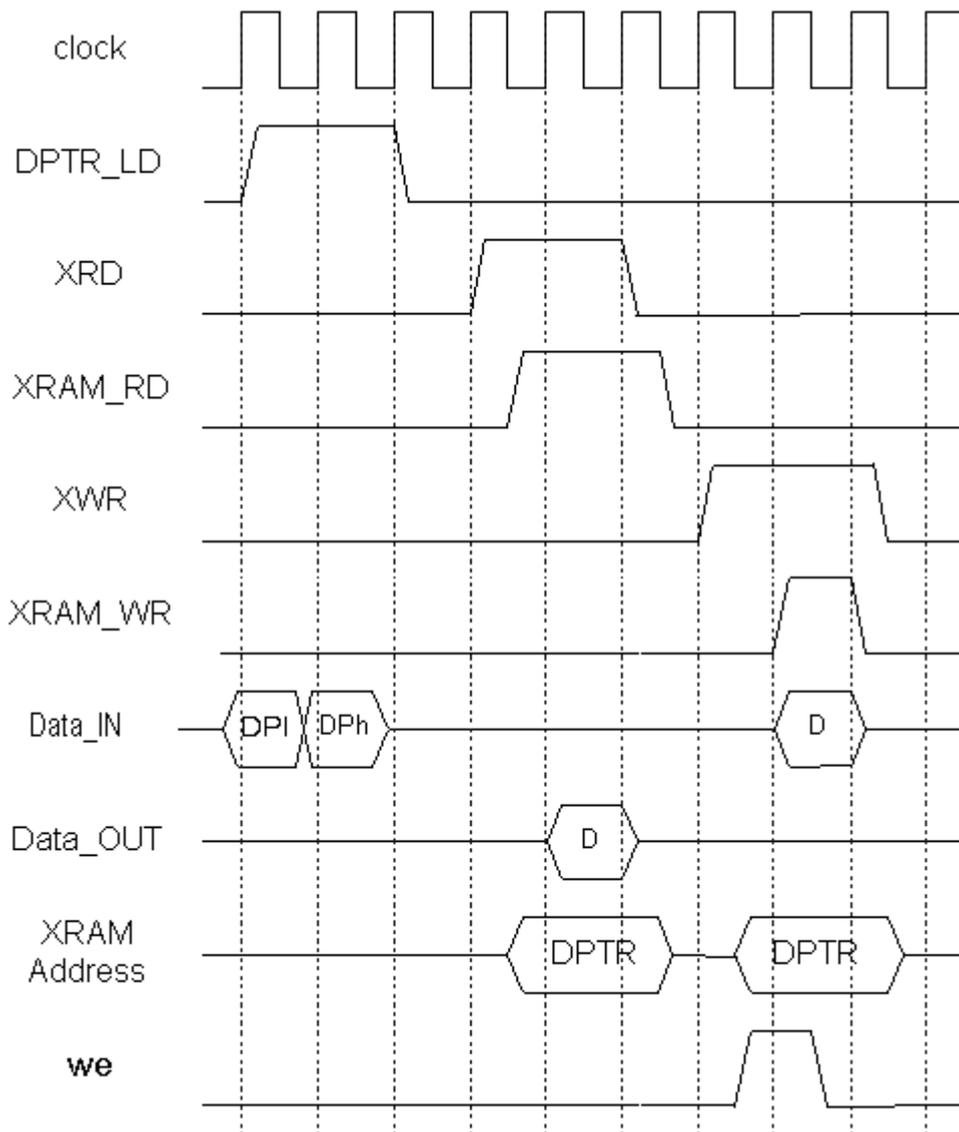


FIG. Waveform do acesso memória externa

Apesar de serem gráficos separados (por conveniência de representação) o leitor não deve esquecer que são sinais concorrentes (principalmente os sinais de entrada e saída que vêm pelo barramento de dados interno) que não podem existir em simultâneo, sendo que a análise destes diagramas deve ser feita sempre em conjunto. No caso da operação de incremento do PC, esta poderá ser sempre feita em paralelo com outras operações excepto

com a operações que envolvam o sinal PC_ADD devido ser partilhado o mesmo somador de 16 bits.

Uma nota importante prende-se com o facto que este sistema está desenhado para pertencer a um sistema embebido, com um baixo fan-out e caso se pretenda usar saídas directamente para o exterior para suportar alguma carga estas devem passar por buffers. Os sinal XRAM_PSEN, XRAM_RD e XRAM_WR não se apresentam negados como nos 8051's convencionais. Caso tal seja do interesse do utilizador (para acesso a memórias que assim o exigem) portas inversoras terão de ser adicionadas às saídas destes sinais.